

氧化物薄膜的非揮發性記憶體之研究

系所／電子工程學系

指導老師／邱福千

組員／嚴叡奕、鍾雨潔、廖心慈

隨著現有高容量儲存元件的存取速度及功耗已無法滿足我們，因此我們研究讀寫快速、耗能低、結構簡單等優勢的電阻式記憶體(RRAM)，其也是被業界看好的次世代通用型記憶體。

RRAM 的氧化層薄膜我們使用硼摻雜的氧化鋅 (ZnO:B)，元件結構為鎳/硼摻雜氧化鋅/鎳 (Ni/ZnO:B/Ni)，圖 1 是在穿透式電子顯微鏡(TEM)下觀察之元件三層結構。我們針對元件之電阻轉換特性、電流傳導機制及陷阱能階進行分析，並對存放較久的 RRAM 進行 I-V 轉換特性量測。

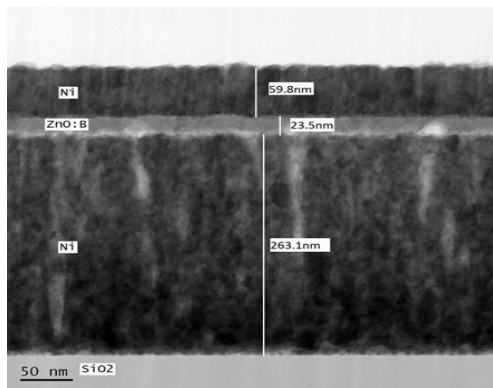


圖 1 50nm 下的 TEM 剖面圖(RTA 500°C)

首先在電阻轉換特性的部分，其高、低阻態可作為資料儲存的 ON/OFF 信號，我們設定 80 mA 的限制電流並施加不同極性電壓進行量測，結果顯示這

個元件為單極性 (Unipolar) 轉換特性，並且可以利用讀取到的不同電壓作為儲存訊號，如圖 2；電流傳導機制的部分，我們利用電流密度 - 電壓 (LogJ-LogV) 特性觀察高、低阻態的傳導機制如圖 3，結果顯示高阻態為空間電荷限制傳導(SCLC)、低阻態為歐姆傳導(Ohm's Law)。我們觀察到高阻態下的傳導機制會因為溫度升高而改變，故針對 25°C 下特別做分析如圖 4。

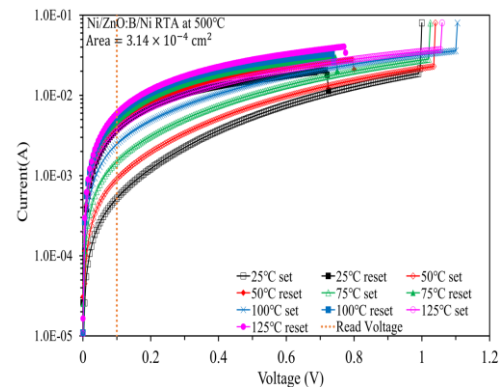


圖 2 單極性轉換特性與讀取電壓

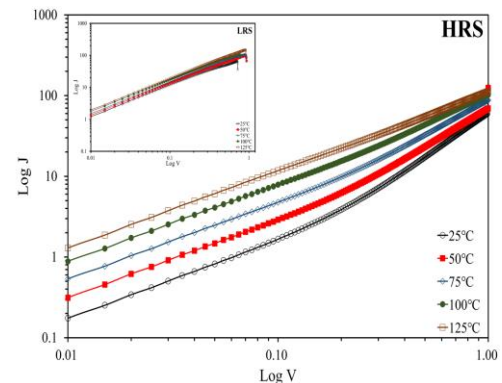


圖 3 高、低阻態之 Log J-Log V 特性曲線

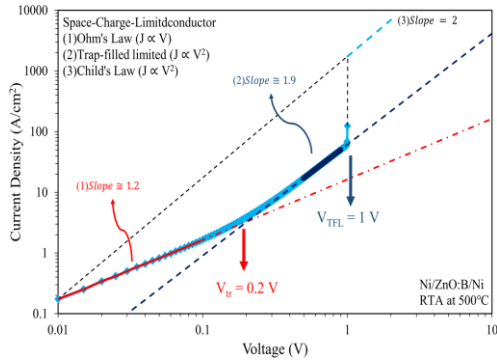


圖 4 高阻態 25°C 下之 SCLC 分析

由圖 4 我們可以觀察到其特性受三個曲線的限制，且 V_{tr} 和 V_{TFL} 分別是偏離歐姆定律和 TFL 曲線的過渡電壓。如圖 4 中的第(1)部分弱注入 ($V < V_{tr}$) 遵守歐姆定律，此時的陷阱並非都被填充。且載子傳輸時間 (τ_c) 大於介電弛豫時間 (τ_d)，載子注入後將重新分佈，最後於 τ_d 相當的時間會再呈現電中性，故注入的載子不會通過絕緣層。第(2)部分 TFL 的強注入 ($V_{tr} < V < V_{TFL}$) 下，注入載子濃度 (n) 會超過熱平衡下自由載子濃度 (n_0)，此時的 $\tau_c \leq \tau_d$ ，因為注入載子的傳輸時間太短使得無法被自由載子重新分配，薄膜中陷阱將影響電流。當所施加電壓 $V > V_{TFL}$ 時，開始進入第(3)部分 Child's law 非常強注入，此時的陷阱幾乎都被填滿，而剩下的載子會持續在介電薄膜中移動，導致電流上升。其公式分別如下：

$$J_{Ohm} = qn_0\mu V/d$$

$$J_{TFL} = 9/8 \mu \epsilon \theta V^2/d^3$$

$$J_{Child} = 9/8 \mu \epsilon V^3/d^3$$

其中 q 為電子帶電量、 n_0 是熱平衡下自由載子濃度、 μ 為電子遷移率、 V 為外加電壓、 d 是薄膜厚度、 ϵ 為靜介電常數、 θ 是自由載子密度與總載子密度之比值。

再由 Arrhenius plot 對圖 4 中的歐姆傳導求陷阱能階 ($E_c - E_t$)，圖 5 利用 Log J-1000/T 圖之斜率求出活化能 $E_a = E_c - E_t = (-Slope \times kln10 \times 1000) = 208 \pm 1 \text{ meV}$ ，並且可以發現在施加電壓 0.07 V 前陷阱能階變化不大，若施加電壓接近 V_{tr} 時， E_a 則會開始下降。陷阱填滿限制 (TFL) 區的求法也相同，故可以整理出如圖 6 之高阻態陷阱能階分佈。

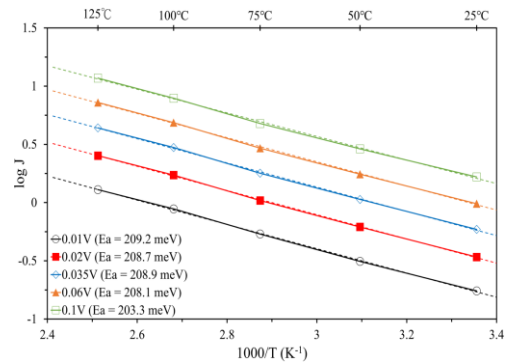


圖 5 高阻態 Ohm 之 Arrhenius plot

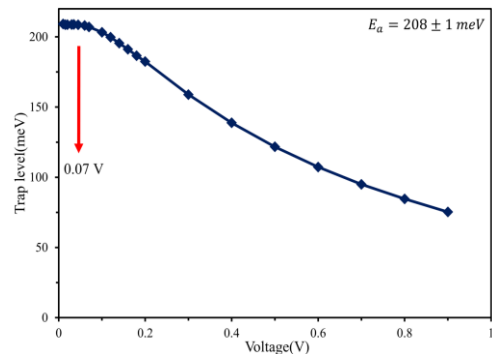


圖 6 高阻態之陷阱能階分佈