

CMOS 反向放大器(邏輯電路)的佈局與模擬

系所／電子工程學系

指導老師／林憶霞

組員／林志洋、蔡松耕、龔昱丞、藍語誠

檔名為「類別-系級-題目.docx」，例「多媒體應用類-資管系-職業抉擇輔助資訊系統.docx」。///半導體是電子系很實用的熱門課程，每個系所也都安排許多相關的課程，而 Layout 是我們較沒接觸到的，但卻是連接理論與實際層面的重要窗口，透過製程的規格以及限制，所畫出的佈局圖還要經過 DRC check(Design Rule Check)與 LVS check LVS(Layout Versus Schematic)。DRC 是佈局的規則，包含佈局面積大小，還有一些設計準則；LVS 是佈局圖與電路圖的連結檢驗，因此畫完佈局後，需透過 LVS 得知佈局圖是否與電路圖相符。

本專題以國家晶片中心提供的佈局軟體(Virtuoso)來繪製 CMOS 反相放大器，我們從最基本的電晶體「NMOS」、「PMOS」來逐一拼湊出完整 layout 圖。透過基本的元件，組成複雜的電路。最後還可再透過 hspice 來模擬波型。

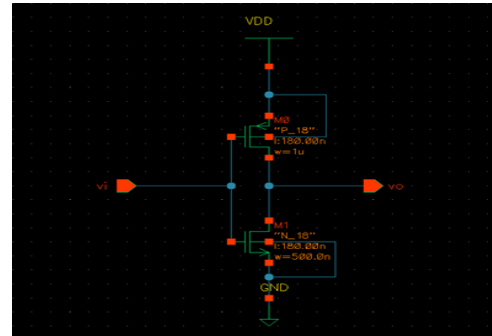


圖 1：Cmos 反相放大器之電路

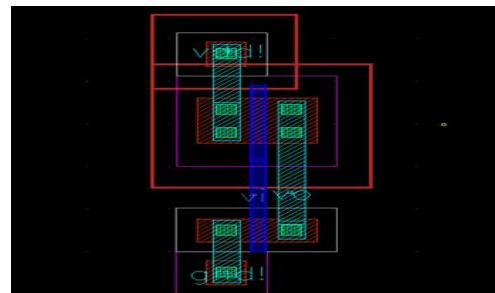


圖 2：佈局圖

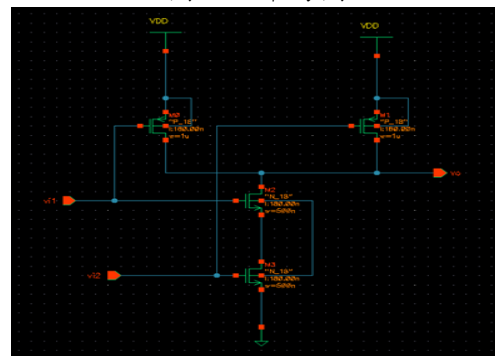


圖 3：Nand 閘電路圖

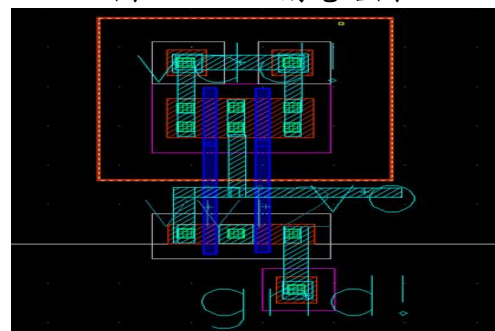


圖 4：佈局圖