

帶隙參考電路設計

系所 / 電子工程學系

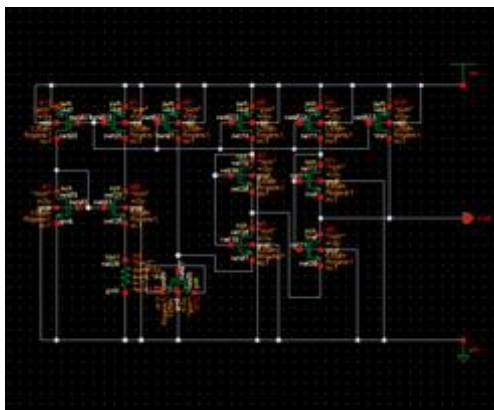
指導老師 / 林憶霞

組員 / 吳佳軒、王祥驊、尤鴻文

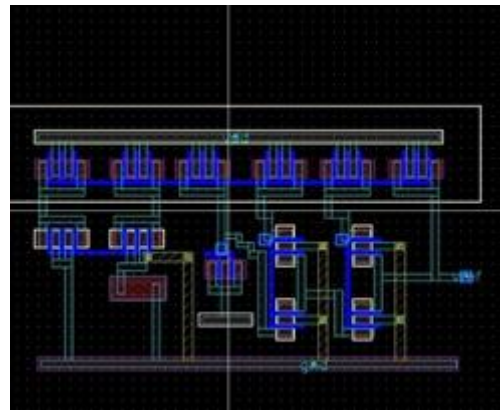
本論文是在研究「堆疊級的帶隙電壓電路」佈局，使用標準的 CMOS 製程和低功耗的操作。這項電路提出了一種低功耗 CMOS 帶隙基準電壓源，採用堆疊的 MOS 電路，全電路只有一個電阻，沒有 BJT。輸出電壓幾乎是在矽的帶隙電壓和其溫度係數 $25.3/^\circ\text{C}$ ，消耗的電源 $25\ \mu\text{A}$ 的電流。電路的設計採用 350nm 的製程。

DRC 是設計的準則規範，裡面包含了間距要設定多少與佈局面積大小的規範等等；LVS 是佈局圖與邏輯定義的規則，因為在佈局完之後，還要驗證此佈局圖是否合乎邏輯定義

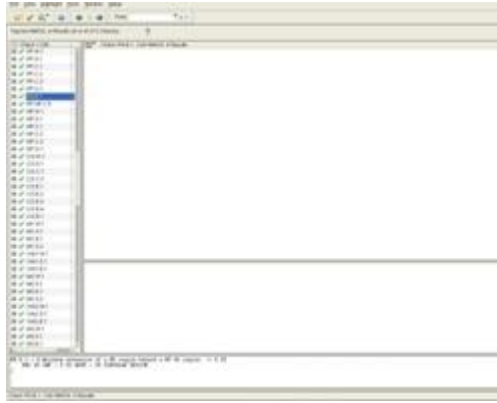
最後，就是 DRC 與 LVS 除錯的過程，在 DRC 除錯的過程中有許多問題，有些是 contact 上的面積大小問題，或者是間距的問題，這些問題要回到設計規則的佈局配置上再重新量製。LVS 的錯誤中，主要是在邏輯上的錯誤，因為在佈局圖中邏輯跟電路的接點有可能不相同，這時也必須在回到佈局配置上重新量製。當 DRC 與 LVS 驗證都沒有錯誤問題，就可以去製造出我們想要的元件。至於詳細的佈局配製流程，將會在本論文中逐一介紹



圖一 電路圖



圖二 佈局圖



圖三 DRC