

基礎運算放大器設計

系所／電子工程學系

指導老師／林憶霞

組員／吳玠志、陳威翰、羅文佑

近年來，教育部鼓勵訓練大專院校生從事積體電路設計，而多次舉辦設計競賽，然而在積體電路設計領域中的需求始終未曾被自動化設計所取代，也因為近年來的 IC 電路設計比賽之題目多為運算放大器電路。從上述可知，積體電路設計是一塊相當重要的領域。

本研究基於題目為基礎運算放大器設計，因此我們研究二階米勒補償 OPA 電路。首先，第一塊電路引用類比積體電路佈局書中之電路，元件大小取到小數點第二位，並四捨五入，以了解整個設計流程。然而書中並沒有完全模擬出運算放大器其特性，因此我們的電路分析利用 George Washington University Department of Electrical and Computer Engineering 實驗室所研究的分析方法，來分析整個運算放大器的基本特性，並利用 Allen 書中電路作第二塊電路上的設計，接著利用 Cadence 軟體畫出 layout 並執行 DRC 以及 LVS 驗證。最後比較模擬結果，來完成本研究。

Specifications	Proposed Value
Gain	$\geq 70\text{dB}$
Gain Bandwidth	$\geq 5\text{MHz}$
Phase Margin	$45^\circ \sim 60^\circ$
Settling Time	$\leq 1\mu\text{s}$
Slew Rate	$\geq 5\text{V}/\mu\text{s}$
Input Common Mode Range (ICMR)	$\geq \pm 1.5\text{V}$
Common Mode Rejection Ratio (CMRR)	$\geq 60\text{dB}$
Power Supply Rejection Ratio (PSRR)	$\geq 60\text{dB}$
Output Swing	$\pm \text{Supply Voltage}$
Offset	$\leq \pm 10\text{mV}$
Power Dissipation	$\leq 2\text{mW}$

表 1. 運算放大器設計規格表

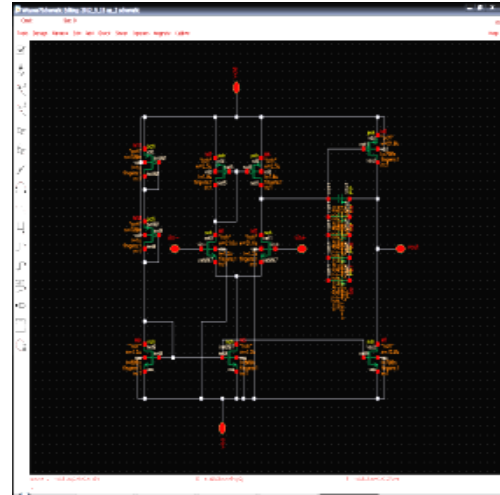


圖 1. 二階米勒補償 OPA 電路

我們以直流分析、交流分析以及暫態分析，模擬出運算放大器的特性。接著畫出 layout 佈局圖，如圖 2. 所示。並執行 DRC 驗證，如圖 3. 所示。以及 LVS 驗證，如圖 4. 所示。最後我們將 PMOS 差動對之二階米勒補償 OPA 電路的數據放置數據(一)，NMOS 差動對之二階米勒補償 OPA 電路的數據放置數據(二)，並對照書中規格以及理論規格進行比較，如表 2. 所示。

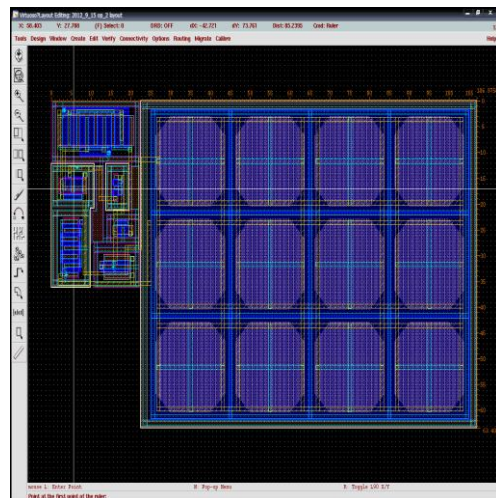


圖 2. Layout 佈局圖

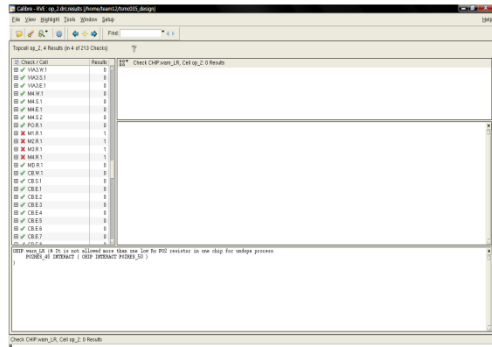


圖 3.DRC 驗證允許錯誤

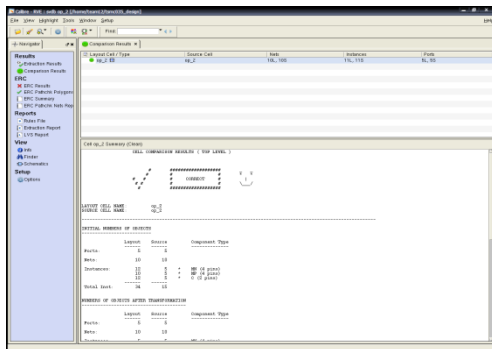


圖 4.LVS 驗證結果

模擬結果	數據(一)	規格	數據(二)	理論規格
Output Swing	1.65V~-1.58V	±1.65V	2.33V~-2.5V	±Supply Voltage
ICMR	0.31V~-1.4V	≥±1.5V	1.64V~-1.3V	≥±1.5V
Output Offset Voltage	379.42mV	≤±10mV	-9.84mV	≤±10mV
input Offset Voltage	-12.8mV		0.42mV	
電壓增益Voltage Gain	3.348K	3.72K	5.29K	
dB	70.5dB	≥ 70dB	74.47dB	≥ 70dB
單位增益頻率	9.4MHz	8.9MHz	8.16MHz	≥5MHz
相位邊限	90.11°	92.1°	58.2°	45° ~ 60°
CMRR	70.83dB	≥ 60dB	88.44dB	≥ 60dB
PSRR ⁺	79.82dB	≥ 60dB	86.86dB	≥ 60dB
PSRR ⁻	80.31dB	≥ 60dB	74.15dB	≥ 60dB
Settle Time	0.236μs	≤ 1μs	0.245μs	≤ 1μs
Positive Slew Rate	4.26V/μs	≥ 5V/μs	4.80V/μs	≥ 5V/μs
Negative Slew Rate	-4.97V/μs		-4.66V/μs	
佈局面積(μm*μm)	110.615*47.755		114.325*63.4	

表 2.模擬結果對照比較表格